

CLIPPEDIMAGE= JP406177369A
PAT-NO: JP406177369A
DOCUMENT-IDENTIFIER: JP 06177369 A
TITLE: HIGH-SPEED SEMICONDUCTOR DEVICE AND MANUFACTURE
THEREOF

PUBN-DATE: June 24, 1994

INVENTOR-INFORMATION:

NAME

IMAMURA, KENICHI

INADA, TSUGUO

ASSIGNEE-INFORMATION:

NAME

FUJITSU LTD

COUNTRY

N/A

APPL-NO: JP04330278

APPL-DATE: December 10, 1992

INT-CL (IPC): H01L029/68; H01L029/06

US-CL-CURRENT: 257/200,257/201

ABSTRACT:

PURPOSE: To make it possible to form electrode contact regions easily and reliably by applying a very simple means even if a base semiconductor layer to be exposed selectively is thin and moreover, to prevent a complication of a process of manufacturing a high-speed semiconductor device from being caused.

CONSTITUTION: An N-type InGaAs collector layer 32, an I-type In(AlGa)As collector barrier layer 23, an N-type InGaAs base layer 24, an RTB layer 25, an etching stopping layer 27, which is used also as an N-type GaSbAs impurity diffusion preventive layer in combination, and an N-type InGaAs emitter layer 26 are laminated in order on a semi-insulative InP substrate 21. Moreover, an emitter electrode 29 which conduction-leads out the layer

26, base electrodes
30, which into contact to the selectively exposed layer 24,
and collector
electrodes 31, which come into contact to the selectively
exposed layer 22, are
formed.

COPYRIGHT: (C)1994,JPO&Japio

(19)日本国特許庁(J P)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-177369

(43)公開日 平成6年(1994)6月24日

(51)Int.Cl.⁵

H 0 1 L 29/68
29/06

識別記号

庁内整理番号

7377-4M

F I

技術表示箇所

審査請求 未請求 請求項の数5(全9頁)

(21)出願番号 特願平4-330278

(22)出願日 平成4年(1992)12月10日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 今村 健一

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 稲田 嗣夫

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 柏谷 昭司 (外1名)

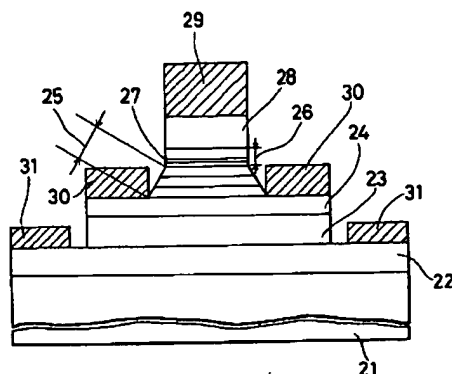
(54)【発明の名称】 高速半導体装置及びその製造方法

(57)【要約】

【目的】 高速半導体装置及びその製造方法に関し、極めて簡単な手段を採ることに依って、選択的に表出させるべき下地半導体層が薄くても、電極コンタクト領域を容易且つ確実に生成できるようにし、しかも、製造工程の複雑化が起らないようにする。

【構成】 半絶縁性InP基板21上にn-InGaAsコレクタ層22及びi-In(AlGa)Asコレクタ・バリア層23及びn-InGaAsベース層24及びRTB層25及びn-GaSbAs不純物拡散防止兼エッチング停止層27及びn-InGaAsエミッタ層26が順に積層され、n-InGaAsエミッタ層26を導電引き出しするエミッタ電極29及び選択的に表出されたn-InGaAsベース層24にコンタクトするベース電極30及び選択的に表出されたInGaAsコレクタ層22にコンタクトするコレクタ電極31が形成されている。

本発明のRHETを表す要部切断側面図



- 21 : 半絶縁性InP基板
- 22 : n-InGaAsコレクタ層
- 23 : i-In(AlGa)Asコレクタ・バリア層
- 24 : n-InGaAsベース層
- 25 : RTB層
- 26 : n-InGaAsエミッタ層
- 27 : n-GaSbAs不純物拡散防止兼エッチング停止層
- 28 : n-InGaAsエミッタ電極コンタクト層
- 29 : エミッタ電極
- 30 : ベース電極
- 31 : コレクタ電極

【特許請求の範囲】

【請求項1】 InP基板上に順に積層されたInGaAsコレクタ層及びIn(AlGa)Asコレクタ・バリヤ層及びInGaAsベース層及びInAlAs層を含んだ共鳴トンネリング・バリヤ層及びSbを含んでInPに格子整合する不純物拡散防止兼エッチング停止層及びInGaAsエミッタ層と、

前記InGaAsエミッタ層を導電引き出しするエミッタ電極及び選択的に表出された前記InGaAsベース層にコンタクトするベース電極及び選択的に表出された前記InGaAsコレクタ層にコンタクトするコレクタ電極とを備えてなることを特徴とする高速半導体装置。

【請求項2】 InP基板上に順に積層されたInGaAsコレクタ層及びIn(AlGa)Asコレクタ・バリヤ層及びInGaAsベース層及びInAlAsバリヤ層及びSbを含んでInPに格子整合する不純物拡散防止兼エッチング停止層及びInGaAsエミッタ層と、前記InGaAsエミッタ層を導電引き出しするエミッタ電極及び選択的に表出された前記InGaAsベース層にコンタクトするベース電極及び選択的に表出された前記InGaAsコレクタ層にコンタクトするコレクタ電極とを備えてなることを特徴とする高速半導体装置。

【請求項3】 InP基板上に順に積層されたInGaAs能動層及びInAlAsキャリヤ供給層及びSbを含んでInPに格子整合する不純物拡散防止兼エッチング停止層及びInGaAs電極コンタクト層と、

表面から前記InAlAsキャリヤ供給層に達するリセス内に形成されたゲート電極と、

前記InGaAs電極コンタクト層にコンタクトして形成されたソース電極及びドレイン電極とを備えてなることを特徴とする高速半導体装置。

【請求項4】 InP基板上に順に積層された一導電型InGaAsコレクタ層及び反対導電型InGaAsベース層及びSbを含んでInPに格子整合する不純物拡散防止兼エッチング停止層及び一導電型InGaAsエミッタ層と、

前記一導電型InGaAsエミッタ層にコンタクトするエミッタ電極及び選択的に表出された前記反対導電型InGaAsベース層にコンタクトするベース電極及び選択的に表出された前記一導電型InGaAsコレクタ層にコンタクトするコレクタ電極とを備えてなることを特徴とする高速半導体装置。

【請求項5】 InP基板上に少なくとも電極コンタクト領域が選択的に生成されるべき薄膜の半導体層及びSbを含んでInPに格子整合する不純物拡散防止兼エッチング停止層及びInGaAs層のそれぞれが順に積層された半導体層を形成する工程と、

表面から前記Sbを含んでInPに格子整合する不純物拡散防止兼エッチング停止層の表面までをエッチングする工程と、

前記Sbを含んでInPに格子整合する不純物拡散防止兼エッチング停止層を除去してから前記電極コンタクト領域が選択的に生成されるべき薄膜の半導体層を表出させる工程とが含まれてなることを特徴とする高速半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、共鳴トンネリング・ホット・エレクトロン・トランジスタ(resonant tunneling hot electron transistor: RHET)又はホット・エレクトロン・トランジスタ(hot electron transistor: HET)、高電子移動度トランジスタ(high electron mobility transistor: HEMT)、ヘテロ接合バイポーラ・トランジスタ(heterojunction bipolar transistor: HBT)などの高速半導体装置及びそれ等を製造するのに好適な方法に関する。

【0002】一般に、RHET、HET、HEMT、HBT等は、高速動作性に優れたデバイスとして期待されているのであるが、基板面内に於ける製造ばらつきの低減、再現性が良い集積化、プロセスの安定化など、未だかなりの問題を抱えているので、これらを順次解消しなければならない。

【0003】

【従来の技術】図9は従来の技術を解説する為のRHETを表す要部切断側面図である。図に於いて、1は半絶縁性InP基板、2はn-InGaAsコレクタ層、3はi-In(AlGa)Asコレクタ・バリヤ層、4はn-InGaAsベース層、5はi-InAlAs/i-InGaAs/i-InAlAsなる構成をもつRTB(resonant tunneling barrier)層、6はn-InGaAsエミッタ層、7はn-InAlAs不純物拡散防止層、8はn⁺-InGaAsエミッタ電極コンタクト層、9はエミッタ電極、10はベース電極、11はコレクタ電極をそれぞれ示している。

【0004】図10は図9に見られるRHETのエネルギー・バンド・ダイヤグラムであり、図9に於いて用いた記号と同記号は同部分を表すか或いは同じ意味を持つものとする。

【0005】ここで、図9並びに図10に見られるRHETを製造する工程について説明する。

(1) MBE(molecular beam epitaxy)法、又は、MOCVD(metalorganic chemical vapour deposition)法を適用することに依り、基板1上に厚さ300[nm]のコレクタ層2、厚さ200[nm]のコレクタ・バリヤ層3、厚さ30[nm]のベース層

4、厚さ3〔nm〕／3〔nm〕／3〔nm〕である前記の所要半導体層からなるRTB層5、厚さ1〔nm〕の不純物拡散防止層7が途中に介挿される厚さ50〔nm〕のエミッタ層6、厚さ200〔nm〕のエミッタ電極コンタクト層8を成長させる。

【0006】(2)リソグラフィ技術に於けるレジスト・プロセス及びエッチャントをリン酸系或いはフッ化水素酸系のエッチング液とするウェット・エッチング法を適用することに依り、ベース層4及びコレクタ層2のエミッタ電極コンタクト領域の表出を行ってから、エミッタ電極9、ベース電極10、コレクタ電極11を形成する。

【0007】この従来例に於いては、エミッタ電極コンタクト層8とRTB層5との間に不純物拡散防止層7を介挿することで、高不純物濃度のエミッタ・コンタクト層8を成長させている最中にn型ドーパントであるSiがRTB層5に拡散することを防止している。

【0008】

【発明が解決しようとする課題】一般に、RHETは、図9及び図10について説明したものに限らず、電流利得を大きくする必要上、ベース層4は、厚さを30〔nm〕程度と大変薄く形成される。

【0009】従って、エミッタ・メサを形成し、前記したような薄いベース層4に対して電極コンタクト領域を表出させる為の所謂面出しを行い、しかも、それを時間制御に依存して高精度で行うことは甚だ困難であって、その基板面内のばらつきは、かなり大きく、集積化やプロセスの安定化に対する大きな妨げになっている。このように、表面を露出させるべき半導体層が大変に薄く、エッチングの制御が困難である問題は、前記RHETに限らず、HEMT、HBT、HETなどに於いても同様である。

【0010】本発明は、極めて簡単な手段を採ることに依って、選択的に表出させるべき下地半導体層が薄くても、電極コンタクト領域を容易且つ確実に生成できるようにし、しかも、製造工程の複雑化が起らないようにする。

【0011】

【課題を解決するための手段】本発明では、不純物拡散防止層にエッチング停止の機能を併せて持たせることが基本になっている。

【0012】このようなことから、本発明に依る高速半導体装置及びその製造方法に於いては、(1)InP基板(例えば半絶縁性InP基板21)上に順に積層されたInGaAsコレクタ層(例えばn-InGaAsコレクタ層22)及びIn(AlGa)Asコレクタ・バリア層(例えばi-In(AlGa)Asコレクタ・バリア層23)及びInGaAsベース層(例えばn-InGaAsベース層24)及びInAlAs層を含んだ共鳴トンネリング・バリア層(例えばRTB層25)及びSbを含んでInPに格子整合する不純物拡散防止兼

エッチング停止層(例えばn-GaSbAs不純物拡散防止兼エッチング停止層27)及びInGaAsエミッタ層(例えばn-InGaAsエミッタ層26)と、前記InGaAsエミッタ層を導電引き出しするエミッタ電極(例えばエミッタ電極29)及び選択的に表出された前記InGaAsベース層にコンタクトするベース電極(例えばベース電極30)及び選択的に表出された前記InGaAsコレクタ層にコンタクトするコレクタ電極(例えばコレクタ電極31)とを備えてなることを特徴とするか、或いは、

【0013】(2)InP基板上に順に積層されたInGaAsコレクタ層及びIn(AlGa)Asコレクタ・バリア層及びInGaAsベース層及びInAlAsバリア層及びSbを含んでInPに格子整合する不純物拡散防止兼エッチング停止層及びInGaAsエミッタ層と、前記InGaAsエミッタ層を導電引き出しするエミッタ電極及び選択的に表出された前記InGaAsベース層にコンタクトするベース電極及び選択的に表出された前記InGaAsコレクタ層にコンタクトするコレクタ電極とを備えてなることを特徴とするか、或いは、

【0014】(3)InP基板(例えば半絶縁性InP基板41)上に順に積層されたInGaAs能動層(例えばi-InGaAs能動層42)及びInAlAsキャリア供給層(例えばn-InAlAs電子供給層43)及びSbを含んでInPに格子整合する不純物拡散防止兼エッチング停止層(例えばn-GaSbAs不純物拡散防止兼エッチング停止層44)及びInGaAs電極コンタクト層(例えばn-InGaAs電極コンタクト層45)と、表面から前記InAlAsキャリア供給層に達するリセス(例えばリセス45A)内に形成されたゲート電極(例えばゲート電極46)と、前記InGaAs電極コンタクト層にコンタクトして形成されたソース電極(例えばソース電極47)及びドレイン電極(例えばドレイン電極48)とを備えてなることを特徴とするか、或いは、

【0015】(4)InP基板(例えば半絶縁性InP基板51)上に順に積層された一導電型InGaAsコレクタ層(例えばn-InGaAsコレクタ層53)及び反対導電型InGaAsベース層(例えばp-InGaAsベース層54)及びSbを含んでInPに格子整合する不純物拡散防止兼エッチング停止層(例えばn-GaSbAs又はp-GaSbAs不純物拡散防止兼エッチング停止層55)及び一導電型InGaAsエミッタ層(例えばn-InGaAsエミッタ層56)と、前記一導電型InGaAsエミッタ層にコンタクトするエミッタ電極(例えばエミッタ電極57)及び選択的に表出された前記反対導電型InGaAsベース層にコンタクトするベース電極(例えばベース電極58)及び選択的に表出された前記一導電型InGaAsコレクタ層に

5

コンタクトするコレクタ電極（例えばコレクタ電極59）とを備えてなることを特徴とするか、或いは、【0016】（5）InP基板（例えば半絶縁性InP基板21など）上に少なくとも電極コンタクト領域が選択的に生成されるべき薄膜の半導体層（例えばn-InGaAsベース層24など）及びSbを含んでInPに格子整合する不純物拡散防止兼エッチング停止層（例えばn-GaSbAs不純物拡散防止兼エッチング停止層27など）及びInGaAs層（例えばn-InGaAsエミッタ層26など）のそれぞれが順に積層された半導体層を形成する工程と、表面から前記Sbを含んでInPに格子整合する不純物拡散防止兼エッチング停止層の表面までをエッチングする工程と、前記Sbを含んでInPに格子整合する不純物拡散防止兼エッチング停止層を除去してから前記電極コンタクト領域が選択的に生成されるべき薄膜の半導体層を表出させる工程とが含まれてなることを特徴とする。

【0017】

【作用】前記手段を採ることに依り、例えばInGaAs/In(AlGa)Asのヘテロ接合を有するRHE Tに於けるベース層のように、選択的に表出させるべき下地半導体層が薄くても、Sbを含んでInPに格子整合するエッチング停止層の機能を利用して容易且つ確実に電極コンタクト領域を生成させることができ、しかも、そのエッチング停止層は不純物拡散を抑止する機能を併せもつものであるから、従来の不純物拡散防止層を有する此の種の半導体装置を製造する工程に比較して工程が複雑化する虞は全くない。

【0018】

【実施例】図1は本発明一実施例を解説する為のRHE Tを表す要部切断側面図である。図に於いて、21は半絶縁性InP基板、22はn-InGaAsコレクタ層、23はi-In(AlGa)Asコレクタ・バリア層、24はn-InGaAsベース層、25はi-InAlAs/i-InGaAs/i-InAlAsなる構成をもつRTB層、26はn-InGaAsエミッタ層、27はn-GaSbAs不純物拡散防止兼エッチング停止層、28はn⁺-InGaAsエミッタ電極コンタクト層、29はエミッタ電極、30はベース電極、31はコレクタ電極をそれぞれ示して示る。

【0019】図2は図1に見られる実施例のエネルギー・バンド・ダイアグラムであって、図1に於いて用いた記号と同記号は同部分を表すか或いは同じ意味を持つものとする。図1及び図2に見られる実施例と例えば図9及び図10について説明した従来例とを比較すると、従来例では、不純物拡散防止兼エッチング停止層7の構成材料としてn-InAlAsを用いたが、本実施例では、n-GaSbAsを用いている。

【0020】このようにする理由は、エミッタ・メサを形成する為のリン酸系エッチング液或いはフッ化水素酸

6

系エッチング液などのエッチング液に対してGaSbAsがエッチング停止の機能をもつことに依る。表面から行われるメサ・エッチングを不純物拡散防止兼エッチング停止層27で自動停止させることができれば、その後、不純物拡散防止兼エッチング停止層27を除去し、再びメサ・エッチングに戻ってベース層24の一部を表出させるまでを時間で制御することは、エッチングする層厚が極薄いことから極めて容易であり、また、誤差の累積も少ないので、その制御は精密に実施することができる。

【0021】不純物拡散防止兼エッチング停止層27の材料は、具体的には、GaSb_{0.5}As_{0.5}、或いは、AlGaSbAs、或いは、Al_{0.5}Sb_{0.5}Asなどを用いることができる。例えば、GaSb_{0.5}As_{0.5}を材料とする不純物拡散防止兼エッチング停止層27は、そのバリア高さが約0.53[eV]であって、InAlAsと同様である。

【0022】この実施例では、RTB層25と不純物拡散防止兼エッチング停止層27との間にn-InGaAsエミッタ層26の一部を介在させてあるが、これは、従来から行われているように、エミッタ・ベース間の表面空乏層がベース層24に到達しないようにする為である。

【0023】図3乃至図6は図1及び図2に見られるRHE Tを製造する工程を解説する為の工程要所に於けるRHE Tを表す要部切断側面図であり、以下、これ等の図を参照しつつ説明する。尚、図1及び図2に於いて用いた記号と同記号は同部分を表すか或いは同じ意味を持つものとする。

【0024】図3参照

3-(1)MBE法を適用することに依り、基板21上にコレクタ層22、コレクタ・バリア層23、ベース層24、RTB層25、エミッタ層26の一部分、不純物拡散防止兼エッチング停止層27、エミッタ層26の残り部分、エミッタ電極コンタクト層28を形成する。ここで形成した各半導体層に関する主要なデータを例示すると次の通りである。

① コレクタ層22について

不純物：Si

40 不純物濃度：5×10¹⁸[cm⁻³]

厚さ：300[nm]

② コレクタ・バリア層23について

厚さ：200[nm]

③ ベース層24について

不純物：Si

不純物濃度：1×10¹⁸[cm⁻³]

厚さ：30[nm]

④ RTB層25について

厚さ：i-InAlAsバリア層→3[nm]

50 i-InGaAs井戸層→3[nm]

7

i-InAlAsバリア層→3〔nm〕

⑤ エミッタ層26について

不純物: Si

不純物濃度: 1×10^{18} 〔cm⁻³〕

厚さ: エミッタ層の一部→10〔nm〕

エミッタ層の残り部分→40〔nm〕

⑥ 不純物拡散防止兼エッチング停止層27

不純物: Si

不純物濃度: 5×10^{18} 〔cm⁻³〕

厚さ: 1〔nm〕

⑦ エミッタ電極コンタクト層28

不純物: Si

不純物濃度: 1×10^{19} 〔cm⁻³〕

厚さ: 150〔nm〕

【0025】図4参照

4-(1) リソグラフィ技術に於けるレジスト・プロセス、及び、エッチャントをフッ化水素酸系エッチング液或いはリン酸系エッチング液とするウエット・エッチング法を適用することに依って、表面から不純物拡散防止兼エッチング停止層27に達するメサ・エッチングを行う。

【0026】図5参照

5-(1) 前記工程4-(1)で形成したレジスト膜を除去してから、改めてリソグラフィ技術に於けるレジスト・プロセスを適用することに依り、更にメサ・エッチングを行う為の開口をもつレジスト膜を形成する。

5-(2) エッチャントを(HCl+H₂O₂+NaKC₄H₄O₆(酒石酸カリウムナトリウム)+H₂O)を含むエッチング液とするウエット・エッチング法を適用することに依って、GaSb_{0.5}As_{0.5}からなる不純物拡散防止兼エッチング停止層27の選択的エッチングを行って開口を形成し、そのなかにRTB層25の一部を表出させる。

5-(3) エッチャントをフッ化水素酸系エッチング液或いはリン酸系エッチング液とするウエット・エッチング法を適用することに依って、不純物拡散防止兼エッチング停止層27をマスクとしてRTB層25の選択的エッチングを行って開口を延伸し、そのなかにベース層24の一部を表出させる。これに依って、ベース電極コンタクト領域が生成される。

【0027】図6参照

6-(1) リソグラフィ技術に於けるレジスト・プロセス、そして、不純物拡散防止兼エッチング停止層27のエッチャントとして(HCl+H₂O₂+NaKC₄H₄O₆(酒石酸カリウムナトリウム)+H₂O)を含むエッチング液、並びに、RTB層25などのエッチャントとしてフッ化水素酸系エッチング液或いはリン酸系エッチング液とするウエット・エッチング法を適用することに依って、不純物拡散防止兼エッチング停止層27の表面からコレクタ層22に達するメサ・エッチングを行

8

う。これに依って、コレクタ電極コンタクト領域が生成される。

6-(2) リソグラフィ技術に於けるレジスト・プロセス、及び、真空蒸着法からなるリフト・オフ法を適用することに依り、厚さが10〔nm〕/200〔nm〕であるCr/Au膜からなるエミッタ電極29、ベース電極30、コレクタ電極31を形成して完成させる。

【0028】前記のようにして製造されたRHEMTでは、電流利得を大きくする為にベース層24を薄く形成してあるにも拘わらず、そのベース電極コンタクト領域は精密に、且つ、再現性良く生成されていて、良好なベース電極が形成されている。

【0029】図7は本発明に於ける他の実施例を解説する為のHEMTを表す要部切断側面図である。図に於いて、41は半絶縁性InP基板、42はi-InGaAs能動層、43はn-InAlAs電子供給層、44はn-GaSbAs不純物拡散防止兼エッチング停止層、45はn-InGaAs電極コンタクト層、45Aはリセス、46はゲート電極、47はソース電極、48はドレイン電極をそれぞれ示している。

【0030】前記HEMTに於ける各部分の主要なデータを例示すると次の通りである。

① 能動層42について

厚さ: 200〔nm〕

② 電子供給層43について

不純物: Si

不純物濃度: 5×10^{17} 〔cm⁻³〕

厚さ: 50〔nm〕

③ 不純物拡散防止兼エッチング停止層44について

不純物: Si

不純物濃度: 5×10^{17} 〔cm⁻³〕

厚さ: 1〔nm〕

④ 電極コンタクト層45について

不純物: Si

不純物濃度: 5×10^{18} 〔cm⁻³〕

厚さ: 200〔nm〕

⑤ ゲート電極46について

材料: Ti/Pt/Au

厚さ: 10〔nm〕/100〔nm〕/300〔nm〕

⑥ ソース電極47及びドレイン電極48について

材料: AuGe/Au

厚さ: 20〔nm〕/300〔nm〕

【0031】本実施例の場合、電極コンタクト層45にリセスを形成してゲート電極コンタクト領域を生成させる際、不純物拡散防止兼エッチング停止層44の作用でリセス形成のエッチングは一旦停止され、エッチング液を異にする不純物拡散防止兼エッチング停止層44のエッチングを行って電子供給層43を表出させてからゲート電極46を形成するものであるから、しきい値電圧V_{th}の制御性は良好である。

【0032】図8は本発明に於ける更に他の実施例を解説する為のHBTを表す要部切断側面図である。図に於いて、51は半絶縁性InP基板、52はn-InGaAsコレクタ・コンタクト層、53はn-InGaAsコレクタ層、54はp-InGaAsベース層、55はn-GaSbAs又はp-GaSbAs不純物拡散防止兼エッチング停止層、56はn-InGaAsエミッタ層、57はエミッタ電極、58はベース電極、59はコレクタ電極をそれぞれ示している。

【0033】前記HBTに於ける各部分の主要なデータを例示すると次の通りである。

① コレクタ・コンタクト層52について

不純物: Si

不純物濃度: $5 \times 10^{18} [\text{cm}^{-3}]$

厚さ: 300 [nm]

② コレクタ層53について

不純物: Si

不純物濃度: $1 \times 10^{17} [\text{cm}^{-3}]$

厚さ: 200 [nm]

③ ベース層54について

不純物: Be

不純物濃度: $5 \times 10^{19} [\text{cm}^{-3}]$

厚さ: 80 [nm]

④ 不純物拡散防止兼エッチング停止層55について

不純物: Si

不純物濃度: $5 \times 10^{17} [\text{cm}^{-3}]$

厚さ: 1 [nm]

⑤ エミッタ層56について

不純物: Si

不純物濃度: $5 \times 10^{17} [\text{cm}^{-3}]$

厚さ: 200 [nm]

⑥ エミッタ電極57、ベース電極58、コレクタ電極59について

材料: Cr/Au

厚さ: 20 [nm] / 300 [nm]

【0034】本実施例の場合も、RHETに関する実施例と同様にベース層の面出しが極めて容易である。即ち、エミッタ層56とベース層54との間には不純物拡散防止兼エッチング停止層55が介在していることから、薄いベース層54を再現性良く、且つ、確実に表出させることができる。

【0035】本発明を適用できる高速半導体装置としては、前記各実施例に限られることなく、例えばRHETと構成が殆ど変わらないHETに適用した場合も同様に有効であることは明らかである。

【0036】

【発明の効果】本発明に依る高速半導体装置及びその製造方法に於いては、InP基板上に少なくとも電極コンタクト領域が選択的に生成されるべき薄膜の半導体層及びSbを含んでInPに格子整合する不純物拡散防止兼

エッチング停止層及びInGaAs層のそれぞれを順に積層した半導体層が形成され、そして、表面から前記不純物拡散防止兼エッチング停止層の表面までを選択的に除去し、その後、前記不純物拡散防止兼エッチング停止層を選択的に除去してから前記薄膜の半導体層の電極コンタクト領域を表出させる。

【0037】前記構成を採ることに依り、例えばInGaAs/In(AlGa)Asのヘテロ接合を有するRHETに於けるベース層のように、選択的に表出させるべき下地半導体層が薄くても、Sbを含んでInPに格子整合するエッチング停止層の機能を利用して容易且つ確実に電極コンタクト領域を生成させることができ、しかも、そのエッチング停止層は不純物拡散を抑止する機能を併せもつものであるから、従来の不純物拡散防止層を有する此の種の半導体装置を製造する工程に比較して工程が複雑化する虞は全くない。

【図面の簡単な説明】

【図1】本発明一実施例を解説する為のRHETを表す要部切断側面図である。

20 【図2】図1に見られる実施例のエネルギー・バンド・ダイヤグラムである。

【図3】図1及び図2に見られるRHETを製造する工程を解説する為の工程要所に於けるRHETを表す要部切断側面図である。

【図4】図1及び図2に見られるRHETを製造する工程を解説する為の工程要所に於けるRHETを表す要部切断側面図である。

30 【図5】図1及び図2に見られるRHETを製造する工程を解説する為の工程要所に於けるRHETを表す要部切断側面図である。

【図6】図1及び図2に見られるRHETを製造する工程を解説する為の工程要所に於けるRHETを表す要部切断側面図である。

【図7】本発明に於ける他の実施例を解説する為のHETを表す要部切断側面図である。

【図8】本発明に於ける更に他の実施例を解説する為のHBTを表す要部切断側面図である。

【図9】従来の技術を解説する為のRHETを表す要部切断側面図である。

40 【図10】図9に見られるRHETのエネルギー・バンド・ダイヤグラムである。

【符号の説明】

21 半絶縁性InP基板

22 n-InGaAsコレクタ層

23 i-In(AlGa)Asコレクタ・バリア層

24 n-InGaAsベース層

25 RTB層

26 n-InGaAsエミッタ層

27 n-GaSbAs不純物拡散防止兼エッチング停止層

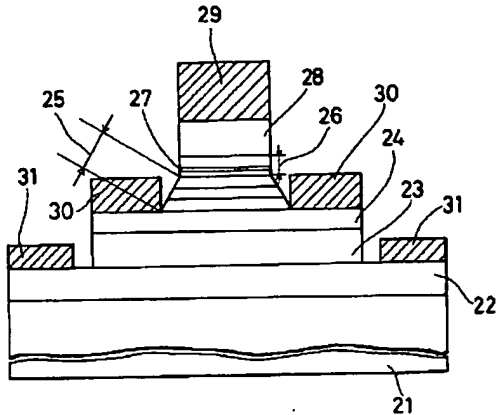
(7)

特開平6-177369

11
28 n'-InGaAsエミッタ電極コンタクト層
29 エミッタ電極

【図1】

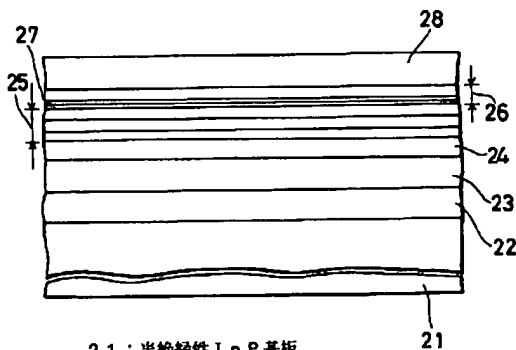
本発明のRHETを表す要部切断側面図



21: 半絶縁性InP基板
22: n-InGaAsコレクタ層
23: i-In(AlGa)Asコレクタ・バリヤ層
24: n-InGaAsベース層
25: RTB層
26: n-InGaAsエミッタ層
27: n-GaSbAs不純物拡散防止兼エッチング停止層
28: n-InGaAsエミッタ電極コンタクト層
29: エミッタ電極
30: ベース電極
31: コレクタ電極

【図3】

工程要所に於ける本発明のRHETを表す要部切断側面図



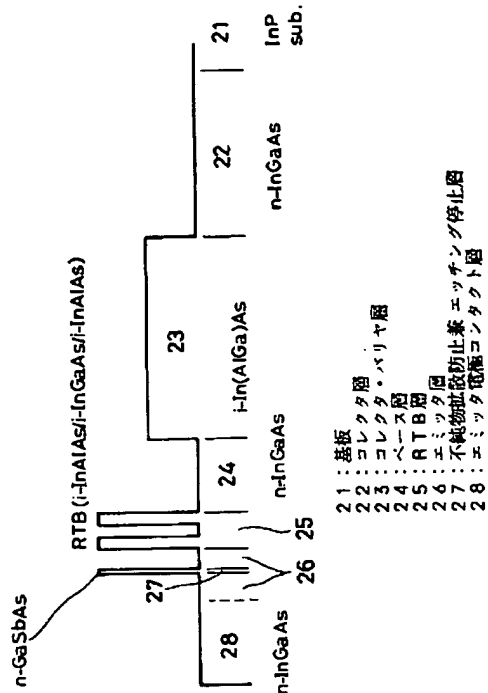
21: 半絶縁性InP基板
22: n-InGaAsコレクタ層
23: i-In(AlGa)Asコレクタ・バリヤ層
24: n-InGaAsベース層
25: RTB層
26: n-InGaAsエミッタ層
27: n-GaSbAs不純物拡散防止兼エッチング停止層
28: n-InGaAsエミッタ電極コンタクト層

12

30 ベース電極
31 コレクタ電極

【図2】

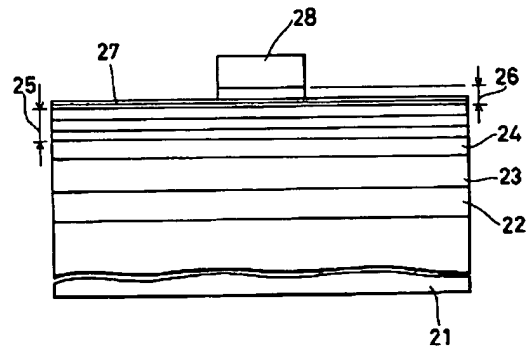
本発明のRHETに関するエネルギー・バンド・ダイアグラム



21: 基板
22: コレクタ・バリヤ層
23: コレクタ層
24: ベース層
25: RTB層
26: エミッタ層
27: 不純物拡散防止兼エッチング停止層
28: エミッタ電極コンタクト層

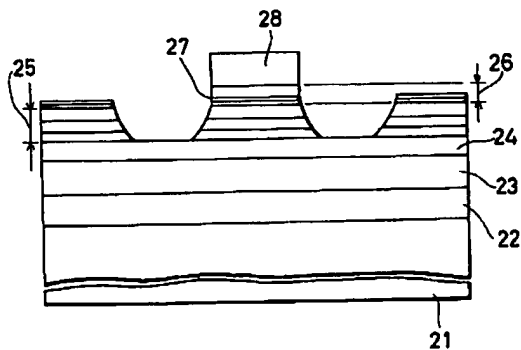
【図4】

工程要所に於ける本発明のRHETを表す要部切断側面図



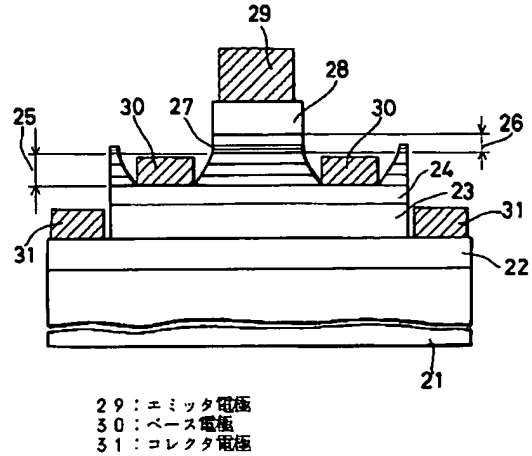
【図5】

工程要所に於ける本発明のR H E Tを表す要部切断側面図



【図6】

工程要所に於ける本発明のR H E Tを表す要部切断側面図

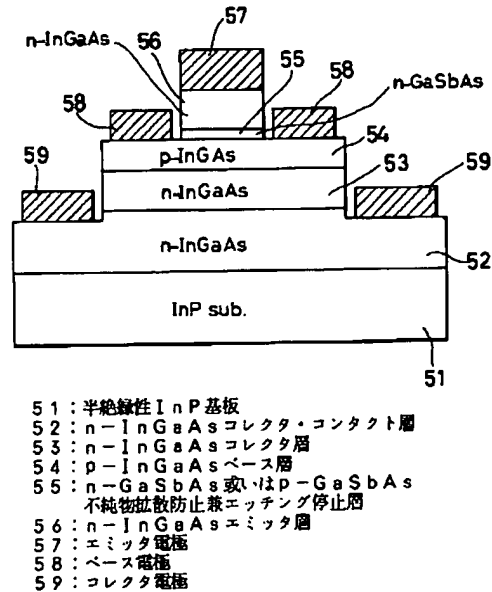
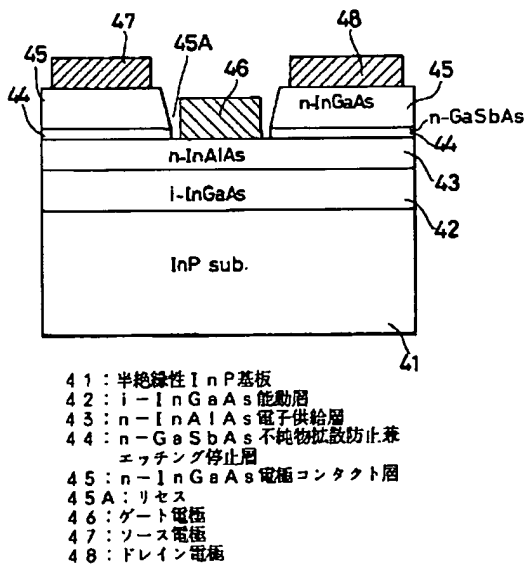


【図8】

本発明のH B Tを表す要部切断側面図

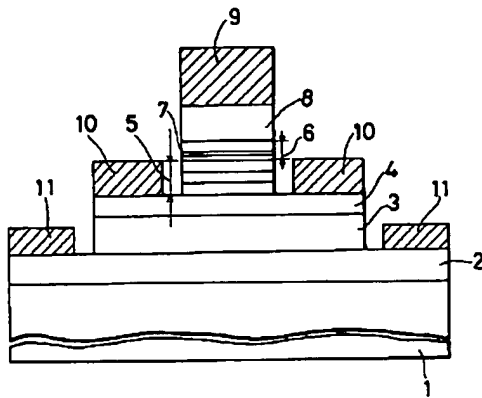
【図7】

本発明のH E M Tを表す要部切断側面図



【図9】

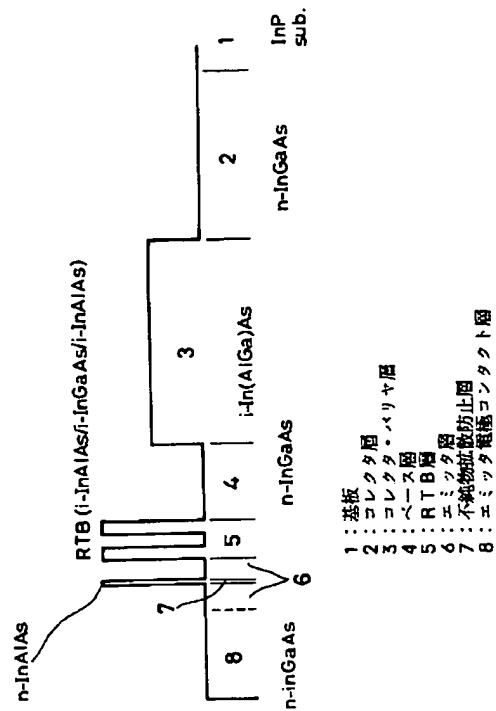
従来のRHETを表す要部切断側面図



- 1: 基板
- 2: コレクタ層
- 3: コレクタ・バリア層
- 4: ベース層
- 5: RTB層
- 6: エミッタ層
- 7: 不純物拡散防止層
- 8: エミッタ電極コンタクト層
- 9: エミッタ電極
- 10: ベース電極
- 11: コレクタ電極

【図10】

従来のRHETに関するエネルギー・バンド・ダイアグラム



- 1: 基板
- 2: コレクタ層
- 3: コレクタ・バリア層
- 4: ベース層
- 5: RTB層
- 6: エミッタ層
- 7: 不純物拡散防止層
- 8: エミッタ電極コンタクト層